

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-207348

(43)Date of publication of application : 28.07.2000

(51)Int.Cl. G06F 13/16
G06F 15/177

(21)Application number : 11-007557

(71)Applicant : NEC CORP

(22)Date of filing : 14.01.1999

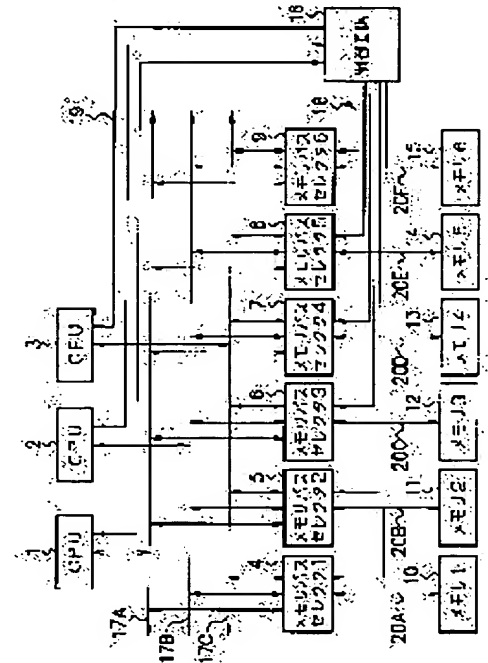
(72)Inventor : KUSAKA TAMOTSU

(54) DEVICE AND METHOD FOR PROCESSING DATA

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the data processing speed of a data processor by eliminating unnecessary bus wait.

SOLUTION: A data processor is provided with a control circuit 16, plural CPUs 1-3, and plural system buses 17A-17C. The processor is also provided with memories 10-15 and plural memory bus selectors 4-9 which can selectively connect the memories 10-15 to the buses 17A-17C. The control circuit 16 generates plural select signals for selectively connecting the memories 10-15 to the buses 17A-17C and gives the signals to the selectors 4-9. The selectors 4-9 selectively connect the memories 10-15 to the buses 17A-17C in response to the select signals. The CPUs 1-3 process data by performing access to the memories 10-15 in parallel.



LEGAL STATUS

[Date of request for examination] 23.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3419334

[Date of registration] 18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-207348
(P2000-207348A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 13/16	5 1 0	G 0 6 F 13/16	5 1 0 D 5 B 0 4 5
15/177	6 8 2	15/177	6 8 2 B 5 B 0 6 0

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平11-7557

(22) 出願日 平成11年1月14日 (1999.1.14)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 日下 保

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100084250

弁理士 丸山 隆夫

Fターム(参考) 5B045 AA01 BB12 BB15 DD10 EE02

EE25

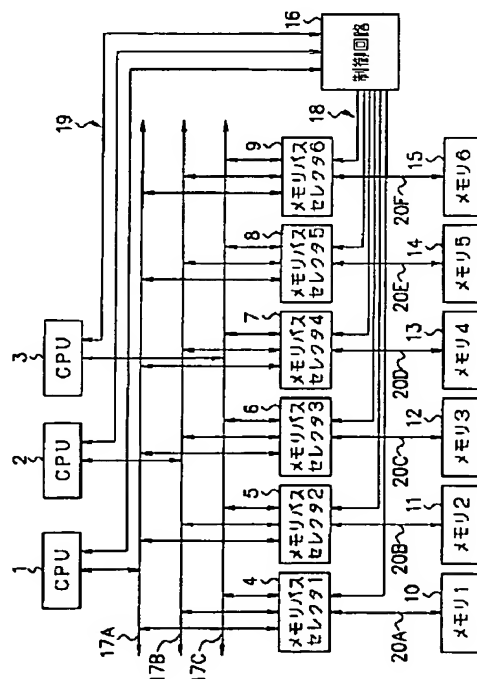
5B060 KA02 KA06 MB01

(54) 【発明の名称】 データ処理装置および方法

(57) 【要約】

【課題】 不要なバス待ちを無くしてデータ処理の速度を向上させる。

【解決手段】 本発明のデータ処理装置は、制御回路16と、複数のCPU1~3と、複数のシステムバス17A~17Cと、複数のメモリ10~15と、これらのメモリ10~15をシステムバス17A~17Cに選択的に接続可能である複数のメモリバスセクタ4~9とを有する。制御回路16はメモリ10~15をシステムバス17A~17Cに選択的に接続するための複数の選択信号を発生してメモリバスセクタ4~9に与える。メモリバスセクタ4~9は前記選択信号に応答してメモリ10~15をシステムバス17A~17Cに選択的に接続する。CPU1~3は並行してメモリ10~15にアクセスしてデータの処理をする。



【特許請求の範囲】

【請求項 1】 制御回路と、この制御回路にパラレル入出力装置により接続されている複数の CPU と、前記制御回路および前記 CPU がそれぞれ接続されている複数のシステムバスと、複数のメモリと、これらのメモリを前記システムバスに選択的に接続可能である複数のメモリバスセクタとを有するデータ処理装置において、前記制御回路は前記メモリを前記システムバスに選択的に接続するための複数の選択信号を発生して前記メモリバスセクタに与え、これらのメモリバスセクタは前記選択信号にตอบสนองして前記メモリを前記システムバスに選択的に接続し、前記 CPU は並行して前記メモリにアクセスしてデータの処理をすることを特徴とするデータ処理装置。

【請求項 2】 請求項 1 に記載のデータ処理装置において、前記制御回路と前記 CPU は、シリアルインタフェースまたはデュアルポート RAM により接続されていることを特徴とするデータ処理装置。

【請求項 3】 1 つの CPU を有する制御回路と、この制御回路の前記 CPU にパラレル入出力装置により接続されている少なくとも 1 つの CPU と、前記 CPU がそれぞれ接続されている複数のシステムバスと、複数のメモリと、これらのメモリを前記システムバスに選択的に接続可能である複数のメモリバスセクタとを有するデータ処理装置において、前記制御回路は前記メモリを前記システムバスに選択的に接続するための複数の選択信号を発生して前記メモリバスセクタに与え、これらのメモリバスセクタは前記選択信号にตอบสนองして前記メモリを前記システムバスに選択的に接続し、前記 CPU は並行して前記メモリにアクセスしてデータの処理をすることを特徴とするデータ処理装置。

【請求項 4】 請求項 3 に記載のデータ処理装置において、前記 CPU は、シリアルインタフェースまたはデュアルポート RAM により接続されていることを特徴とするデータ処理装置。

【請求項 5】 制御回路と、この制御回路にパラレル入出力装置により接続されている複数の CPU と、前記制御回路および前記 CPU がそれぞれ接続されている複数のシステムバスと、複数のメモリと、これらのメモリを前記システムバスに選択的に接続可能である複数のメモリバスセクタとを有するデータ処理装置のデータ処理方法において、前記制御回路が前記メモリを前記システムバスに選択的に接続するための複数の選択信号を発生して前記メモリバスセクタに与えるステップと、

前記メモリバスセクタが前記選択信号にตอบสนองして前記メモリを前記システムバスに選択的に接続するステップと、前記 CPU が並行して前記メモリにアクセスしてデータの処理をするステップとを有することを特徴とするデータ処理方法。

【請求項 6】 1 つの CPU を有する制御回路と、この制御回路の前記 CPU にパラレル入出力装置により接続されている少なくとも 1 つの CPU と、前記 CPU がそれぞれ接続されている複数のシステムバスと、複数のメモリと、これらのメモリを前記システムバスに選択的に接続可能である複数のメモリバスセクタとを有するデータ処理装置のデータ処理方法において、前記制御回路が前記メモリを前記システムバスに選択的に接続するための複数の選択信号を発生して前記メモリバスセクタに与えるステップと、前記メモリバスセクタが前記選択信号にตอบสนองして前記メモリを前記システムバスに選択的に接続するステップと、前記 CPU が並行して前記メモリにアクセスしてデータの処理をするステップとを有することを特徴とするデータ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像データ等のデータを処理するデータ処理装置および方法に関する。

【0002】

【従来の技術】 従来により、データ処理装置として、特開平 9-223103 号公報に記載されているものが知られている。この特開平 9-223103 号公報に記載されている 1 つのデータ処理装置は、CPU のメモリへのアクセス中には DMA コントローラがバス待ち状態となり、DMA 転送中には CPU がバス待ち状態となるものである。

【0003】 特開平 9-223103 号公報に記載されている他のデータ処理装置は、複数のシステムバスを用いてバス使用権を調停するバス調停回路を有し、システムバスを使用したい時にバスリクエスト信号を出力し、それに対する応答信号としてバスグラント信号によりバス使用権を調停している。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のデータ処理装置においては、第 1 の CPU がメモリを使用中に第 2 の CPU がメモリにアクセスしようとしても第 1 のメモリには第 1 の CPU がアクセスしているため第 2 の CPU 2 はバス待ちをしなければならないという問題がある。

【0005】 また、従来のデータ処理装置においては、各 CPU が独立して動作するためにメモリのデータを管

理できないから、CPUごとにメモリのデータをアクセスした場合に第1のCPUの知らない所で第2のCPUがデータを書き換えてしまうという問題がある。

【0006】本発明の目的は、不要なバス待ちを無くしてデータ処理の速度を向上させることができるデータ処理装置および方法を提供することにある。

【0007】また、本発明の他の目的は、複数のCPUがメモリ内のデータの処理状態を確認しながらデータの処理を行うことができるデータ処理装置および方法を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、制御回路と、この制御回路に平行入出力装置により接続されている複数のCPUと、制御回路およびCPUがそれぞれ接続されている複数のシステムバスと、複数のメモリと、これらのメモリをシステムバスに選択的に接続可能である複数のメモリバスセクタとを有するデータ処理装置において、制御回路はメモリをシステムバスに選択的に接続するための複数の選択信号を発生してメモリバスセクタに与え、これらのメモリバスセクタは選択信号に応答してメモリをシステムバスに選択的に接続し、CPUは並行してメモリにアクセスしてデータの処理をすることを特徴とする。

【0009】請求項2記載の発明は、請求項1記載の発明において、制御回路とCPUは、シリアルインタフェースまたはデュアルポートRAMにより接続されていることを特徴とする。

【0010】請求項3記載の発明は、1つのCPUを有する制御回路と、この制御回路のCPUに平行入出力装置により接続されている少なくとも1つのCPUと、CPUがそれぞれ接続されている複数のシステムバスと、複数のメモリと、これらのメモリをシステムバスに選択的に接続可能である複数のメモリバスセクタとを有するデータ処理装置において、制御回路はメモリをシステムバスに選択的に接続するための複数の選択信号を発生してメモリバスセクタに与え、これらのメモリバスセクタは選択信号に応答してメモリをシステムバスに選択的に接続し、CPUは並行してメモリにアクセスしてデータの処理をすることを特徴とする。

【0011】請求項4記載の発明は、請求項3記載の発明において、CPUは、シリアルインタフェースまたはデュアルポートRAMにより接続されていることを特徴とする。

【0012】請求項5記載の発明は、制御回路と、この制御回路に平行入出力装置により接続されている複数のCPUと、制御回路およびCPUがそれぞれ接続されている複数のシステムバスと、複数のメモリと、これらのメモリをシステムバスに選択的に接続可能である複数のメモリバスセクタとを有するデータ処理装置のデー

タ処理方法において、制御回路がメモリをシステムバスに選択的に接続するための複数の選択信号を発生してメモリバスセクタに与えるステップと、メモリバスセクタが選択信号に応答してメモリをシステムバスに選択的に接続するステップと、CPUが並行してメモリにアクセスしてデータの処理をするステップとを有することを特徴とする。

【0013】請求項6記載の発明は、1つのCPUを有する制御回路と、この制御回路のCPUに平行入出力装置により接続されている少なくとも1つのCPUと、CPUがそれぞれ接続されている複数のシステムバスと、複数のメモリと、これらのメモリをシステムバスに選択的に接続可能である複数のメモリバスセクタとを有するデータ処理装置のデータ処理方法において、制御回路がメモリをシステムバスに選択的に接続するための複数の選択信号を発生してメモリバスセクタに与えるステップと、メモリバスセクタが選択信号に応答してメモリをシステムバスに選択的に接続するステップと、CPUが並行してメモリにアクセスしてデータの処理をするステップとを有することを特徴とする。

【0014】

【発明の実施の形態】次に、本発明の実施の形態を図面に基いて詳細に説明する。図1に示すように、本発明の第1の実施形態としてのデータ処理装置は、3つのCPU1、2、3と6つのメモリバスセクタ4、5、6、7、8、9と6つのメモリ10、11、12、13、14、15と制御回路16と3つのシステムバス17A、17B、17Cとを有している。CPU1、2、3は、それぞれシステムバス17A、17B、17Cに接続されている。メモリバスセクタ4、5、6、7、8、9は、システムバス17A、17B、17Cの1つに選択的に接続される。メモリ10、11、12、13、14、15は、メモリバスセクタ4、5、6、7、8、9にそれぞれメモリバス20A、20B、20C、20D、20E、20Fにより接続されている。制御回路16は、メモリバスセクタ4、5、6、7、8、9に通信バス18により接続されている。また、制御回路16は、CPU1、2、3に通信バス19により接続されている。

【0015】図2に示すように、制御回路16は、CPU21と平行入出力装置22、23、24とを有している。CPU21は、平行入出力装置22、23、24にシステムバス25により接続されている。平行入出力装置22、23、24は、CPU1、2、3に通信バス19により接続されている。CPU1、2、3と制御回路16内のCPU21とは、平行入出力装置22、23、24を用いて、平行のデータの送受信を行う。制御回路16は、メモリ10、11、12、13、14、15をシステムバス17A、17B、17Cに選択的に接続するための複数の選択信号を

発生してメモリバスセクタ4、5、6、7、8、9に与える。これらのメモリバスセクタ4、5、6、7、8、9は、選択信号に応答してメモリ10、11、12、13、14、15をシステムバス17A、17B、17Cに選択的に接続する。CPU1、2、3は、並行してメモリ10、11、12、13、14、15のいずれかにアクセスしてデータを読み出してデータの処理をし、かつ、処理したデータをメモリ10、11、12、13、14、15のいずれかにアクセスして書き込む。

【0016】CPU1、2、3と制御回路16内のCPU21とは、CPU間の通信バス19を用いてデータの送受信を行い、データ処理フローに従って複数の選択信号を発生してメモリバスセクタ4、5、6、7、8、9に与える。また、メモリバスセクタ4、5、6、7、8、9内のCPUは、システムバス17A、17B、17Cがメモリ10、11、12、13、14、15のどれに接続されているのかの情報の管理と、メモリ10、11、12、13、14、15内のデータ処理状態の情報を管理している。このため、CPU1、2、3は、相互の通信によりメモリ10、11、12、13、14、15内のデータ処理状態を確認して、次のデータ処理を行う。なお、制御回路16は、CPU21のみで構成してもよく、また、他の回路で構成してもよい。

【0017】次に、本発明の第2の実施形態を図3、図4、図5および図6に基づいて詳細に説明する。図3に示すように、本発明の第2の実施形態としてのデータ処理装置は、2つのCPU31、32とパラレル入出装置33と4つのメモリバスセクタ35、36、37、38と6つのメモリ39、40、41、42、43、44と2つのシステムバス34A、34Bとを有している。CPU32とパラレル入出装置33とは、制御回路30を構成している。なお、制御回路30は、CPU32のみで構成してもよい。

【0018】CPU31、32は、パラレル入出装置33により接続されている。また、CPU31、32は、それぞれシステムバス34A、34Bに接続されている。CPU31およびメモリ39は、システムバス34Aに常時接続されており、CPU31はメモリ39に常時アクセス可能である。CPU32およびメモリ44は、システムバス34Bに常時接続されており、CPU32はメモリ44に常時アクセス可能である。メモリバスセクタ35、36、37、38は、システムバス34A、34Bの1つに選択的に接続される。メモリ40、41、42、43は、メモリバスセクタ35、36、37、38にそれぞれメモリバスにより接続されている。CPU32は、メモリバスセクタ35、36、37、38に通信バス45により接続されている。

【0019】CPU32は、メモリ40、41、42、43をシステムバス34A、34Bに選択的に接続するための複数の選択信号を発生してメモリバスセクタ3

5、36、37、38に与える。これらのメモリバスセクタ35、36、37、38は、選択信号に応答してメモリ40、41、42、43をシステムバス34A、34Bに選択的に接続する。CPU31は、メモリ39に常時アクセス可能であり、メモリ40、41、42、43に選択的にアクセス可能である。CPU32は、メモリ44に常時アクセス可能であり、メモリ40、41、42、43に選択的にアクセス可能である。CPU31、32は、並行してメモリのいずれかにアクセスしてデータを読み出してデータの処理をし、かつ、処理したデータをメモリのいずれかにアクセスして書き込む。

【0020】CPU31は、画像入力装置46と画像出力装置47にシステムバス34Aを介して接続されている。CPU31は、画像入力装置46から入力されたデータをメモリ39に蓄積する。また、CPU31は、メモリ39に蓄積されたデータを画像出力装置47へ出力する。CPU31が画像入力装置46から入力された画像データをメモリ39に蓄積した後にCPU32がメモリ39の画像データの画像処理を行う。CPU31を用いても画像処理は行えるが、システムバス34Aの負荷を軽減し処理を高速化するため、画像処理をCPU32で行う。まず、CPU31は、CPU32に対しパラレル入出装置33を介して、メモリ40がシステムバス34Aに接続されていることを確認するためコマンドを発行し、CPU32からCPU31に対しステータス応答により通信バス45の選択信号の選択論理を確認する。

【0021】メモリ39に蓄積された画像データをシステムバス34Aを介してメモリ40にCPU31の制御によりデータ転送を行う。その後、CPU31は、CPU32に対しパラレル入出装置33を介して、データを転送終了したことを通知する。CPU32は、メモリ40、41をシステムバス34Bに接続するように選択信号を出力してメモリバスセクタ35、36に与える。CPU32は、メモリ40の画像データをシステムバス34Bを介して受け取って画像処理を行い、画像処理後のデータをメモリ41に蓄積する。CPU32が画像処理を行うのと同時に画像処理すべきデータをCPU31はメモリ39からメモリ42へデータ転送を行う。CPU32からCPU31に対しパラレル入出装置33を介して画像処理終了ステータス信号を出力すると同時にCPU32はメモリ40、41をシステムバス34Aに接続されるようにメモリバスセクタ35、36に選択信号を与える。CPU31は、ステータス信号を受け取った後に、メモリ41に蓄積された画像処理後のデータをメモリ39に転送を行う。また、CPU31は、次の画像処理すべきデータをメモリ40にメモリ39から転送する。この時に、先に述べたメモリ42へのデータ転送が完了し、CPU31からCPU32に対しパラレル入出装置33を介して画像転送終了コマンドを発行していれば、メモリ42、43はシステムバス34Bに接続さ

れ、CPU32はメモリ42のデータを読み出して画像処理を行いメモリ43に画像処理後のデータを蓄積する。このようにして、画像処理部分をCPU32が画像データの出力制御をCPU31が制御を行って画像データ処理を行う。なお、CPU32は、画像処理を行う際にメモリ44を画像処理演算用メモリとして使用する。

【0022】次に、図3のデータ処理装置のデータ転送およびメモリバスセクタ35～38の切り替えシーケンスが図4に示されている。上述したように、画像処理するデータをCPU32に接続されるシステムバス42B側に切り替えて画像処理を行う。このシーケンス通りにCPU31とCPU32を制御することにより、CPU31、32がバス待ちをすることなく並行してメモリにアクセスしてデータを読み出して処理し、処理後のデータをメモリに書き込むことができる。

【0023】次に、図3のデータ処理装置の画像データの流れを図5に基づいて説明する。画像処理を行う際には、CPU31からCPU32に対し画像処理要求コマンド51を発行する。CPU32は、CPU31に対して応答ステータス52を返す。CPU31は、メモリ39の画像データをメモリ40に転送する。メモリ39の画像データのメモリ40への転送が完了すると、CPU31はCPU32に対しメモリ40への書き込み完了通知54を発行する。CPU32は、CPU31に対し応答ステータス55を返すと同時にメモリ40、41をシステムバス34Bに接続する。CPU32は、メモリ40のデータを読み出してデータ対画像処理演算を行い、画像処理後のデータをメモリ41に書き込む。CPU32が画像処理を行っている間に、CPU31はメモリ42に次の画像処理を行うデータをメモリ39から転送する。CPU32が画像データの処理を終了すると、画像処理完了通知58をCPU31に通知すると同時にメモリ40、41をシステムバス34Aに接続する。CPU31は、画像処理後のデータをメモリ41からメモリ39に転送する。CPU32がメモリ42へのデータ転送を完了すると、CPU323に対しメモリ42への書き込み完了通知60を発行する。CPU32は、書き込み完了通知60に対する応答ステータス61を返すと同時にメモリ42、43をシステムバス34Bに接続し、メモリ42のデータの画像処理を行い、メモリ43に画像処理後のデータを書き込む。

【0024】次に、メモリバスセクタ35を図6に基づいて説明する。メモリバスセクタ35は、選択信号76を受けるアドレスセクタ77とデータセクタ78とRD信号セクタ79とWR信号セクタ80とCS（チップセレクト）信号セクタ81とを有している。アドレスセクタ77は、システムバス34Aのアドレスバス71Aとシステムバス34Bのアドレスバス71Bに選択的に接続される。また、アドレスセクタ

77は、アドレスバス71Mに接続されている。データセクタ78は、システムバス34Aのデータバス72Aおよびシステムバス34Bのデータバス72Bに選択的に接続される。また、データセクタ78は、データバス72Mに接続されている。RD信号セクタ79は、システムバス34AのRD信号バス73Aとシステムバス34BのRD信号バス73Bに選択的に接続される。また、RD信号セクタ79はRD信号バス73Mに接続されている。WR信号セクタ80は、システムバス34AのWR信号バス74Aおよびシステムバス34BのWR信号バス74Bに選択的に接続される。また、WR信号セクタ80は、WR信号バス74Mに接続されている。CS信号セクタ81は、システムバス34AのCS信号75Aおよびシステムバス34BのCS信号バス75Bに選択的に接続される。また、CS信号セクタ81は、CS信号バス75Mに接続されている。アドレスバス71Mとデータバス72MとRD信号バス73MとWR信号バス74MおよびCS信号バス75Mは、メモリに接続されている。

【0025】アドレスセクタ77は、選択信号76に回答してシステムバス34Aのアドレスおよびシステムバス34Bのアドレスの1つを選択する。データセクタ78は、選択信号76に回答してシステムバス34Aのデータおよびシステムバス34Bのデータの1つを選択する。RD信号セクタ79は、選択信号76に回答してシステムバス34AのRD信号およびシステムバス34BのRD信号の1つを選択する。WR信号セクタ80は、選択信号76に回答してシステムバス34AのWR信号およびシステムバス34BのWR信号の1つを選択する。CS信号セクタ81は、選択信号76に回答してシステムバス34AのCS信号およびシステムバス34BのCS信号の1つを選択する。

【0026】メモリへ出力するアドレスバス71Mは、アドレスセクタ77により選択されたアドレスを出力する。データバス72Mは、データセクタ78により選択されたデータを出力する。RD信号バス73Mは、RD信号セクタ79により選択されたRD信号を出力する。WR信号74Mは、WR信号セクタ80により選択されたWR信号を出力する。CS信号75Mは、CS信号セクタ81により選択されたCS信号を出力する。他のメモリバスセクタ36～38も、メモリバスセクタ35と同じである。

【0027】上記実施形態においては、複数のCPUとメモリ制御回路のCPUとの間でCPU間の通信を行い、データ処理フローに従ってメモリバスセクタの切り替えを行う。また、上記実施形態においては、メモリバスセクタ内のCPUには、システムバスがどのメモリに接続されているのかの情報の管理と、メモリ内のデータ処理状態の情報を管理しているため、CPU間の通信によりメモリ内のデータ処理状態を確認して、次のデ

10

20

30

40

50

ータ処理を行う。

【0028】なお、本発明の上記実施形態において、制御回路を複数のCPUの中に機能として入れ込んでもよい。また、本発明の上記実施形態において、CPU間の通信に平行入出力装置を用いているが、CPU間の通信にシリアルインタフェースおよびデュアルポートRAMを用いてもよい。

【0029】

【発明の効果】本発明は、複数のCPUが並行して複数のメモリにアクセスしてデータの処理をすることができ、不要なバス待ちを無くしてデータの処理の速度を向上させることができる。

【0030】また、本発明は、複数のCPUがメモリ内のデータの処理状態を確認しながらデータの処理を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態としてのデータ処理装置を示すブロック図である。

【図2】図1のデータ処理装置の制御回路を示すブロック図である。

【図3】本発明の第2の実施形態としてのデータ処理装置を示すブロック図である。

【図4】図3のデータ処理装置のメモリバスセクタの動作および画像データの流れの例を説明するための図である。

【図5】図3のデータ処理装置の動作およびデータの流れの例を説明するためのシーケンス図である。

【図6】図3のデータ処理装置のメモリバスセクタを示すブロック図である。

【符号の説明】

1、2、3、21、31、32 CPU

4、5、6、7、8、9、35、36、37、38 メモリバスセクタ

10、11、12、13、14、15、39、40、41、42、43、44

メモリ

16、30 制御回路

17A、17B、17C、25、34A、34B システムバス

18、45 通信バス

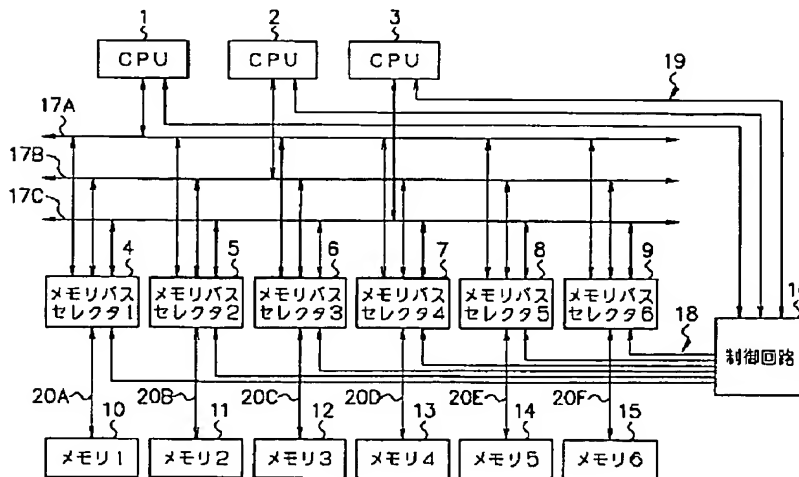
19、26 通信バス

22、23、24、33 平行入出力装置

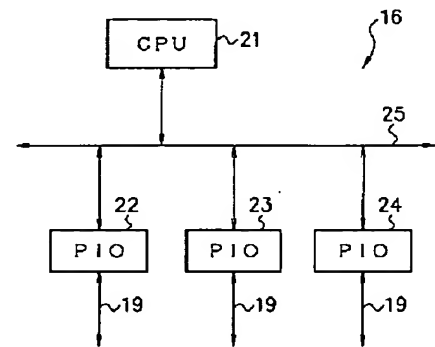
46 画像入力装置

47 画像出力装置

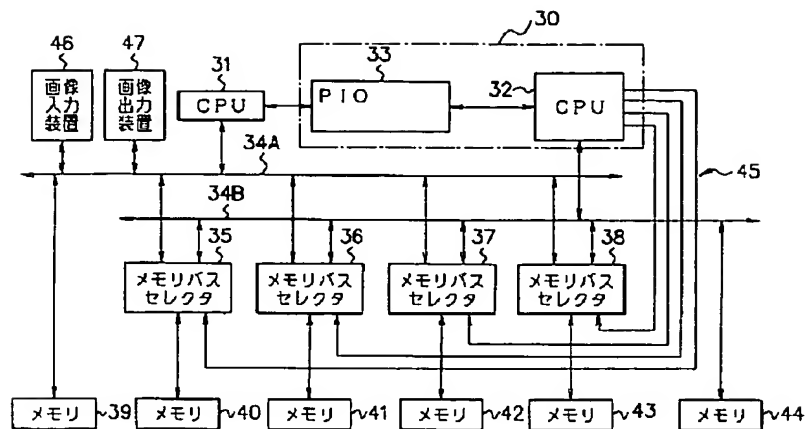
【図1】



【図2】



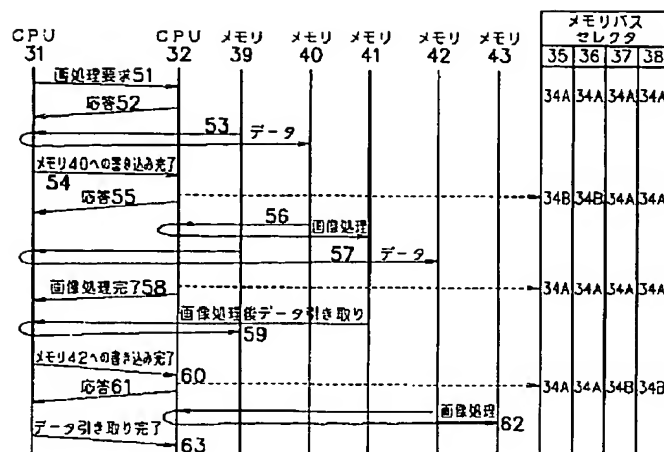
【図3】



【図4】

CPU31	CPU32	メモリバス セクタ35	メモリバス セクタ36	メモリバス セクタ37	メモリバス セクタ38
メモリ39→メモリ40		システムバス 34A	システムバス 34A	システムバス 34A	システムバス 34A
メモリ39→メモリ42	メモリ40→メモリ41	システムバス 34B	システムバス 34B	システムバス 34A	システムバス 34A
メモリ41→メモリ39	メモリ42→メモリ43	システムバス 34A	システムバス 34A	システムバス 34B	システムバス 34B
メモリ39→メモリ40		システムバス 34A	システムバス 34A	システムバス 34A	システムバス 34A
メモリ39→メモリ42	メモリ40→メモリ41	システムバス 34B	システムバス 34B	システムバス 34A	システムバス 34A
メモリ41→メモリ39	メモリ42→メモリ43	システムバス 34A	システムバス 34A	システムバス 34B	システムバス 34B
メモリ39→メモリ40		システムバス 34A	システムバス 34A	システムバス 34A	システムバス 34A
メモリ39→メモリ42	メモリ40→メモリ41	システムバス 34B	システムバス 34B	システムバス 34A	システムバス 34A
メモリ41→メモリ39	メモリ42→メモリ43	システムバス 34A	システムバス 34A	システムバス 34B	システムバス 34B
↓	↓				

【図5】



【図6】

